

CLIPPEDIMAGE= JP409246505A
PAT-NO: JP409246505A
DOCUMENT-IDENTIFIER: JP 09246505 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: September 19, 1997

INVENTOR-INFORMATION:
NAME
KATO, TERUO

ASSIGNEE-INFORMATION:
NAME
HITACHI LTD

| | |
|--|---------|
| | COUNTRY |
| | N/A |

APPL-NO: JP08045235
APPL-DATE: March 1, 1996

INT-CL_(IPC): H01L027/12; H01L021/02

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a bonded SOI substrate where dislocation hardly occurs in a silicon single crystal layer which forms a bonded substrate where semiconductor devices are formed.

SOLUTION: The bonded surface of a silicon single crystal layer 2 which serves as a support substrate is made to deviate in crystal axis by an angle of 45 degrees from a silicon single crystal layer 4 which serves as a bonded substrate. By this setup, even if stress is imposed on the silicon single crystal layer 2 and then transmitted to the silicon single crystal layer 4, stress put on the silicon single crystal layer 4 can be relaxed.

COPYRIGHT: (C)1997,JPO

DERWENT-ACC-NO: 1997-519246
DERWENT-WEEK: 199748
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor IC - in which crystal orientation of bonding substrate
and support substrate in bonding surface differs from each other

PATENT-ASSIGNEE: HITACHI LTD[HITA]

PRIORITY-DATA: 1996JP-0045235 (March 1, 1996)

PATENT-FAMILY:

| PUB-NO | PUB-DATE | LANGUAGE | PAGES | MAIN-IPC |
|---------------|--------------------|----------|-------|-------------|
| JP 09246505 A | September 19, 1997 | N/A | 005 | H01L 027/12 |

APPLICATION-DATA:

| PUB-NO | APPL-DESCRIPTOR | APPL-NO | APPL-DATE |
|-------------|-----------------|----------------|---------------|
| JP09246505A | N/A | 1996JP-0045235 | March 1, 1996 |

INT-CL_(IPC): H01L021/02; H01L027/12

ABSTRACTED-PUB-NO: JP09246505A

BASIC-ABSTRACT: The IC has an SOI bonding substrate (1) in which a first single crystal silicon layer (2) comprising a bonding substrate, is formed. A support substrate is formed on single crystal silicon layer through an insulating film (3b).

The crystal orientation of bonding substrate and support substrate in the bonding surface differs from each other.

ADVANTAGE - Prevents generation of transposition in bonding substrate.

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS:

SEMICONDUCTOR IC CRYSTAL ORIENT BOND SUBSTRATE SUPPORT SUBSTRATE BOND SURFACE
DIFFER

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C01; L04-C17;

EPI-CODES: U11-C01J8;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1997-165611
Non-CPI Secondary Accession Numbers: N1997-432365

(1) Japanese Patent Application Laid-Open No. 9-246505 (1997):
"SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE"

The following is an extract relevant to the present application.

5

Fig. 1 shows a bonded SOI substrate according to the present embodiment, Fig. 1 (a) is a plane view showing the bonded SOI substrate, and Fig. 1 (b) is a sectional view taken along a line A—A' in Fig. 1 (a).

10 A bonded SOI substrate 1 consists of a silicon single crystal 2 that makes up a supporting substrate, a silicon single crystal layer 4 that makes up a bond substrate on which a semiconductor element is formed, and a silicon oxide film 3b provided between the silicon single crystal 2 and the silicon single crystal layer 4.

15 Here, crystal surfaces orientations of the silicon single crystal 2 and the silicon single crystal layer 4 are (100) planes. A direction of a crystal axis of an orientation flat of the silicon single crystal 2 is $[01\bar{1}]$ and a direction of a crystal axis of an orientation flat of the silicon single crystal layer 4 is $[010]$, so a direction of a crystal axis in their bonded surface of is shifted by 45 degrees.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246505

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl.⁶

H 0 1 L 27/12
21/02

識別記号

庁内整理番号

F I

H 0 1 L 27/12
21/02

技術表示箇所

B
B

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号

特願平8-45235

(22) 出願日

平成8年(1996)3月1日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 加藤 照男

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置

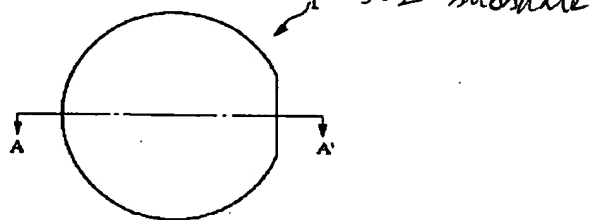
(57) 【要約】

【課題】 半導体素子が形成されるボンド基板を構成するシリコン単結晶層に転位が発生しにくい貼り合わせSOI基板を提供する。

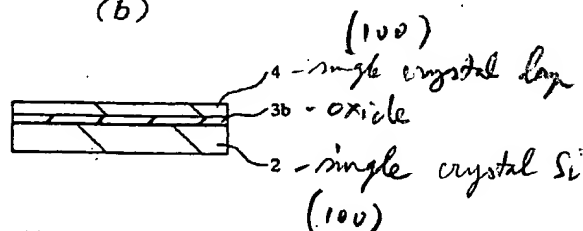
【解決手段】 支持基板を構成するシリコン単結晶2の貼り合わせ面における結晶軸の方向とボンド基板を構成するシリコン単結晶層4の貼り合わせ面における結晶軸の方向を45度ずらすことによって、シリコン単結晶2に応力が加わり、シリコン単結晶層4に応力が伝達されても、シリコン単結晶層4に加わる応力を緩和することができる。

図 1

(a)



(b)



- 1 : 貼り合わせ SOI 基板
- 2 : シリコン単結晶
- 3b : 酸化シリコン膜
- 4 : シリコン単結晶層

【特許請求の範囲】

【請求項1】 支持基板を構成するシリコン単結晶上に絶縁膜を介してボンド基板を構成するシリコン単結晶層が形成された貼り合わせSOI基板を有する半導体集積回路装置であって、前記支持基板の貼り合わせ面における結晶軸の方向と前記ボンド基板の貼り合わせ面における結晶軸の方向がずれていることを特徴とする半導体集積回路装置。

【請求項2】 支持基板を構成するシリコン単結晶上に絶縁膜を介してボンド基板を構成するシリコン単結晶層が形成された貼り合わせSOI基板を有する半導体集積回路装置であって、前記シリコン単結晶および前記シリコン単結晶層の結晶面方位は{100}面であり、前記シリコン単結晶層の{111}面における<110>方向の応力が最も小さくなるように、前記支持基板の貼り合わせ面における結晶軸の方向と前記ボンド基板の貼り合わせ面における結晶軸の方向がずれていることを特徴とする半導体集積回路装置。

【請求項3】 支持基板を構成するシリコン単結晶上に絶縁膜を介してボンド基板を構成するシリコン単結晶層が形成された貼り合わせSOI基板を有する半導体集積回路装置であって、前記シリコン単結晶および前記シリコン単結晶層の結晶面方位は{100}面であり、前記シリコン単結晶の結晶軸の<110>方向と前記シリコン単結晶層の結晶軸の<110>方向が10度～45度ずれていることを特徴とする半導体集積回路装置。

【請求項4】 支持基板を構成するシリコン単結晶上に絶縁膜を介してボンド基板を構成するシリコン単結晶層が形成された貼り合わせSOI基板を有する半導体集積回路装置であって、前記シリコン単結晶の結晶面方位と前記シリコン単結晶層の結晶面方位が異なることを特徴とする半導体集積回路装置。

【請求項5】 請求項4記載の半導体集積回路装置において、前記シリコン単結晶の結晶面方位は{111}面であり、前記シリコン単結晶層の結晶面方位は{100}面であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に関し、特に、貼り合わせSOI (Silicon on Insulator) 基板を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】SOI基板に半導体集積回路装置を形成することによって、半導体素子の接合容量および配線容量の減少、ならびに素子間分離領域の縮小が可能であることから、高速動作および高集積の半導体集積回路装置を実現することができる。

【0003】SOI基板は、主に、貼り合わせ技術またはSIMOX (Separation by Implanted oxygen) 技術

によって形成されている。しかし、SIMOX技術は埋め込み酸化膜の信頼性や1350℃以上の結晶性回復熱処理が必須であるなどの問題点を有していることから、現在は、貼り合わせ技術によって形成されたSOI基板が注目されている。

【0004】貼り合わせSOI基板は、半導体素子が形成されるボンド基板となるシリコン単結晶と支持基板となるシリコン単結晶とを酸化シリコン膜（埋め込み酸化膜）を介して接着した後、ボンド基板となるシリコン単結晶を薄膜化することによって形成される。

【0005】なお、貼り合わせSOI基板については、例えば、特公昭50-13155号公報に記載されている。

【0006】

【発明が解決しようとする課題】本発明者は、貼り合わせSOI基板に半導体集積回路装置を形成するにあたり、以下の問題点を見いだした。

【0007】すなわち、ボンド基板となるシリコン単結晶と支持基板となるシリコン単結晶とを貼り合わせさせてSOI基板を形成する場合、通常、同一の結晶面方位、例えば{100}面を有する2枚のシリコン単結晶を、貼り合わせ面における結晶軸の方向、例えば<110>方向が2～3度以内で一致するように接着する。

【0008】しかしながら、上記方法で得られた貼り合わせSOI基板に半導体集積回路装置を形成する際には、酸化や不純物拡散などのためにSOI基板に約1000℃の高温の熱処理を施す必要があり、昇温または降温するときにSOI基板に熱応力が発生する。

【0009】支持基板を構成するシリコン単結晶に応力が加わると、この応力を緩和するために上記シリコン単結晶の一部分が{111}面を<110>方向へずってサーマルスリップ（表面段差）が発生する。なお、この際、シリコン単結晶の{111}面における<110>方向への応力が最大となると、シリコン単結晶に発生するサーマルスリップの密度は最大となる。

【0010】支持基板に発生したサーマルスリップは埋め込み酸化膜に転写されて、ボンド基板と埋め込み酸化膜の界面にスリップが生じる。さらに、支持基板を構成するシリコン単結晶とボンド基板を構成するシリコン単結晶層が同一の結晶面方位を有し、貼り合わせ面における両者の結晶軸の方向が一致していれば、シリコン単結晶層の{111}面にもシリコン単結晶に作用した<110>方向の応力が埋め込み酸化膜を介して加わり、ボンド基板にスリップが誘起されてしまう。

【0011】ボンド基板に発生したスリップには必ず転位が伴うため、転位が半導体素子のpn接合領域に存在すると逆方向のリーク電流が増加し、これによって、半導体集積回路装置の製造歩留まりが低下してしまう。

【0012】本発明の目的は、支持基板に発生したサーマルスリップのボンド基板への影響を低減し、ボンド基

板に転位が発生しにくい貼り合わせSOI基板を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】すなわち、本発明の半導体集積回路装置は、支持基板を構成するシリコン単結晶上に絶縁膜を介してボンド基板を構成するシリコン単結晶層が形成された貼り合わせSOI基板を有しており、前記支持基板の貼り合わせ面における結晶軸の方向と前記ボンド基板の貼り合わせ面における結晶軸の方向がずれている。

【0016】上記した手段によれば、支持基板を構成するシリコン単結晶の貼り合わせ面における結晶軸の方向とボンド基板を構成するシリコン単結晶層の貼り合わせ面における結晶軸の方向をずらすことによって、シリコン単結晶層の{111}面に加わる<110>方向の応力を小さくすることができるので、ボンド基板を構成するシリコン単結晶層における転位の発生を低減することができる。

【0017】すなわち、貼り合わせ面におけるシリコン単結晶とシリコン単結晶層の結晶軸の方向が一致したときにシリコン単結晶層に加わる応力は最大となるが、例えば、{100}面を有するシリコン単結晶に対して{100}面を有するシリコン単結晶層を連続的に回転していくと、シリコン単結晶層に加わる応力は徐々に小さくなり、一度最小値に達してから増加に転じ、再びシリコン単結晶層に加わる応力は最大となる。この応力の増減は、結晶面の4回対称性から、シリコン単結晶層が90度回転するごとに繰り返されるが、貼り合わせ面における両者の結晶軸の方向を適度にずらすことによって、シリコン単結晶層に加わる応力を小さくすることができる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0019】本発明の一実施の形態である貼り合わせSOI基板およびその製造方法を図1～図4を用いて説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0020】図1は、本発明の実施の形態による貼り合わせSOI基板を示すもので、図1(a)は貼り合わせSOI基板の平面図、図1(b)は図1(a)のA-A'線における断面図である。

【0021】貼り合わせSOI基板1は、支持基板を構成するシリコン単結晶2と、半導体素子が形成されるボ

ンド基板を構成するシリコン単結晶層4と、シリコン単結晶2とシリコン単結晶層4の間に設けられた酸化シリコン膜3bとから構成されている。

【0022】ここで、シリコン単結晶2の直径および厚さは、例えばそれぞれ125mmおよび550 μ m、その結晶面方位は(100)面である。また、酸化シリコン膜3bの厚さは、例えば0.5 μ mであり、シリコン単結晶層4の直径および厚さは、例えばそれぞれ125mmおよび1～2 μ m、その結晶面方位は(100)面である。

【0023】また、シリコン単結晶2のオリエンテーションフラットの結晶軸の方向は[01バー1]（バー1は反転1を示す。以下同じ）であり、シリコン単結晶層4のオリエンテーションフラットの結晶軸の方向は[010]であって、両者の貼り合わせ面における結晶軸の方向は45度ずれている。

【0024】次に、本実施の形態の貼り合わせSOI基板1の製造方法を図2～図4を用いて説明する。

【0025】まず、図2に示すように、直径125mmおよび厚さ550 μ mのシリコン単結晶2を用意する。このシリコン単結晶2の結晶面方位は(100)面であり、シリコン単結晶2は[01バー1]方向のオリエンテーションフラット5を有している。図2(a)はシリコン単結晶2の平面図、図2(b)は図2(a)のB-B'線における断面図である。

【0026】次に、図3に示すように、直径125mmおよび厚さ550 μ mのシリコン単結晶7を用意する。このシリコン単結晶7の結晶面方位は(100)面であり、シリコン単結晶7は[010]方向のオリエンテーションフラット6を有している。なお、このシリコン単結晶7の表面および裏面には、厚さ0.5 μ mの酸化シリコン膜3a、3bが形成されている。図3(a)はシリコン単結晶7の平面図、図3(b)は図3(a)のC-C'線における断面図である。

【0027】次に、図4に示すように、シリコン単結晶2のオリエンテーションフラット5とシリコン単結晶7のオリエンテーションフラット6が平行になるようにシリコン単結晶2の上にシリコン単結晶7を載置し、これに1000～1100℃の温度によって酸素あるいは窒素を含む雰囲気中で2～3時間の熱処理を施す。これによって、シリコン単結晶2とシリコン単結晶7は酸化シリコン膜3bを介して化学的に結合されて完全に一体化する。

【0028】次に、シリコン単結晶7の表面を、例えば平面研削盤を用いて研磨し、シリコン単結晶7を厚さ数10 μ mのシリコン単結晶層4とする。続いて、シリコン単結晶層4の表面を機械的・化学的研磨法によって鏡面研磨処理し、シリコン単結晶層4の厚さを、例えば1～2 μ mとすることによって、図1に示した貼り合わせSOI基板1が完成する。

【0029】このように、本実施の形態によれば、酸化シリコン膜3bを介した貼り合わせ面において、シリコン単結晶2の結晶軸の方向とシリコン単結晶層4の結晶軸の方向が45度ずれて配置されているので、シリコン単結晶2のすべり面である{111}面における結晶軸の<110>方向と、シリコン単結晶層4のすべり面である{111}面における結晶軸の<110>方向は一致しない。

【0030】従って、シリコン単結晶2にサーマルスリップが発生し、酸化シリコン膜3bを介してシリコン単結晶層4に応力が伝達されても、シリコン単結晶層4の{111}面に加わる<110>方向の応力は緩和されて、シリコン単結晶層4に発生する転位の低減が可能となる。

【0031】なお、前記実施の形態では、シリコン単結晶2の結晶面方位とシリコン単結晶層4の結晶面方位は(100)面とし、貼り合わせ面における各々の結晶軸の角度を45度ずらしてSOI基板を形成したが、結晶面方位の異なるシリコン単結晶2とシリコン単結晶層4を貼り合わせてSOI基板を形成してもよい。

【0032】この方法で得られる貼り合わせSOI基板においても、シリコン単結晶層4の{111}面に加わる<110>方向の応力は緩和されて、シリコン単結晶層4に発生する転位の低減が可能となる。例えば、シリコン単結晶層4の結晶面方位を(100)面とし、シリコン単結晶2の結晶面方位を(111)面とすればよい。

【0033】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0034】例えば、前記実施の形態では、支持基板を構成するシリコン単結晶の結晶面方位およびオリエンテーションフラットの結晶軸の方向はそれぞれ(100)面および[01バー1]、ボンド基板を構成するシリコン単結晶層の結晶面方位およびオリエンテーションフラットの結晶軸の方向はそれぞれ(100)面および[010]としたが、シリコン単結晶およびシリコン単結晶層の目的または用途などに応じて、これらの結晶面方位および結晶軸の方向は任意に変更することは可能である。

【0035】また、前記実施の形態では、支持基板を構成するシリコン単結晶およびボンド基板を構成するシリコン単結晶層の結晶軸の方向の指定にオリエンテーションフラットを用いたが、ノッチ、またはオリエンテーションフラットとノッチの両方を用いてもよい。

【0036】また、前記実施の形態では、支持基板を構

成するシリコン単結晶の貼り合わせ面における結晶軸の方向とボンド基板を構成するシリコン単結晶層の貼り合わせ面における結晶軸の方向のずれ角度は45度としたが、このずれ角度は10~45度の範囲で設けてもよい。

【0037】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0038】本発明によれば、支持基板を構成するシリコン単結晶の貼り合わせ面における結晶軸の方向とボンド基板を構成するシリコン単結晶層の貼り合わせ面における結晶軸の方向をずらすことによって、シリコン単結晶に応力が加わりサーマルスリップが発生し、シリコン単結晶層に応力が伝達されても、シリコン単結晶層に加わる応力が低減できるので、ボンド基板に転位が発生しにくい貼り合わせSOI基板を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である貼り合わせSOI基板を示す図であり、(a)は貼り合わせSOI基板の平面図、(b)は(a)のA-A'線における貼り合わせSOI基板の断面図である。

【図2】本発明の一実施の形態である貼り合わせSOI基板の製造方法を示す図であり、(a)は支持基板を構成するシリコン単結晶の平面図、(b)は(a)のB-B'線におけるシリコン単結晶の断面図である。

【図3】本発明の一実施の形態である貼り合わせSOI基板の製造方法を示す図であり、(a)はボンド基板を構成するシリコン単結晶の平面図、(b)は(a)のC-C'線におけるシリコン単結晶の断面図である。

【図4】本発明の一実施の形態である貼り合わせSOI基板の製造方法を示す図であり、(a)は支持基板を構成するシリコン単結晶とボンド基板を構成するシリコン単結晶を貼り合わせた基板の平面図、(b)は(a)のD-D'線における支持基板を構成するシリコン単結晶とボンド基板を構成するシリコン単結晶を貼り合わせた基板の断面図である。

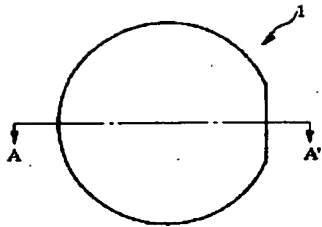
【符号の説明】

- 1 貼り合わせSOI基板
- 2 シリコン単結晶
- 3 酸化シリコン膜
- 3a 酸化シリコン膜
- 3b 酸化シリコン膜
- 4 シリコン単結晶層
- 5 オリエンテーションフラット
- 6 オリエンテーションフラット
- 7 シリコン単結晶

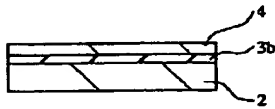
【図 1】

図 1

(a)



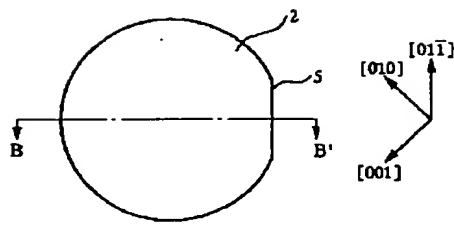
(b)



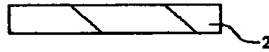
【図 2】

図 2

(a)



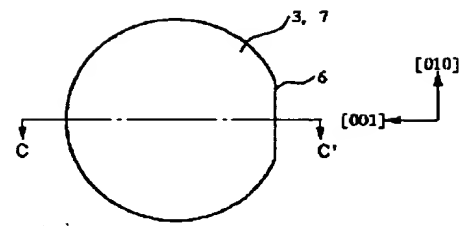
(b)



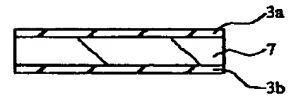
【図 3】

図 3

(a)



(b)

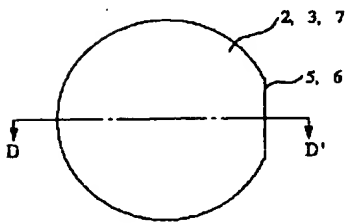


- 1 : 貼り合わせ SOI 基板
 2 : シリコン単結晶
 3b : 酸化シリコン膜
 4 : シリコン単結晶層

【図 4】

図 4

(a)



(b)

